

Realisatsiooni näide – täisarvude korrutamine

- Märgita täisarvude korrutamine, 2-bitti korraga (radix-4)
- $o = a * b$
 - $\dots + [0,1,2,3]*b \rightarrow 3*b = 4*b - b$
 - samm, kui eelmine bitipaar ei olnud '11'
 - $b_{10}=00 ? \rightarrow$ ei midagi
 - $b_{10}=01 ? \rightarrow o+=a$
 - $b_{10}=10 ? \rightarrow o+=2*a$ [$o+=(a<<1)$]
 - $b_{10}=11 ? \rightarrow o-=a$ [ja jätame meelde]
 - samm, kui eelmine bitipaar oli '11'
 - $b_{10}=00 ? \rightarrow o+=a$ [$4-1=3$]
 - $b_{10}=01 ? \rightarrow o+=2*a$ [$2=1+1$]
 - $b_{10}=10 ? \rightarrow o-=a$ [$3=2+1$, jälle meelde]
 - $b_{10}=11 ? \rightarrow$ ei midagi [$4=3+1$, jälle meelde]

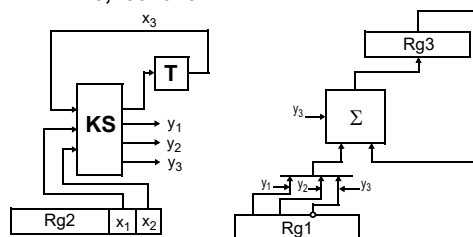
Korrutamine 2 kohaga

00 - blok.
01 - $1*Rg1$
10 - $2*Rg1$ ($L1(Rg1)$)
11 - $-Rg1$; $+1$ järgmisesse järku

$$11_2 = 100 - 1 = 101$$

N: 0,01101101

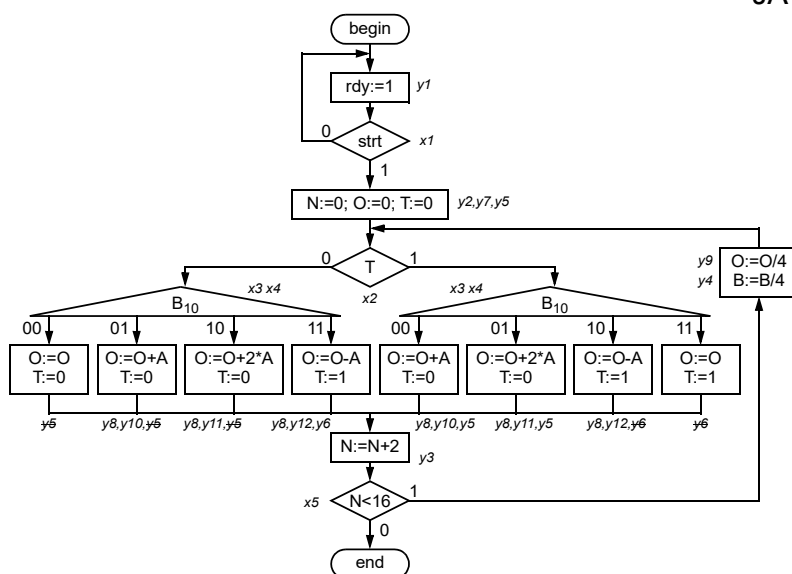
0,10010101



y1: $Rg3 := Rg3 + Rg1$
y2: $Rg3 := Rg3 + L1(Rg1)$
y3: $Rg3 := Rg3 - Rg1$

Joonis: Margus Kruus

Realisatsiooni näide (ver. 1)

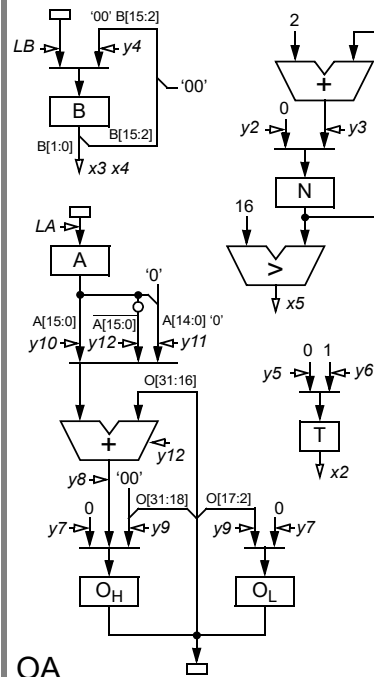


JA Moore: i 5, o 12, s 12, t 28; Mealy: i 5, o 12, s 4, t 13 (tagasiside OK)

OA 2 sum., 1 võrdl., 5 (6) mux, 5 (6) reg.

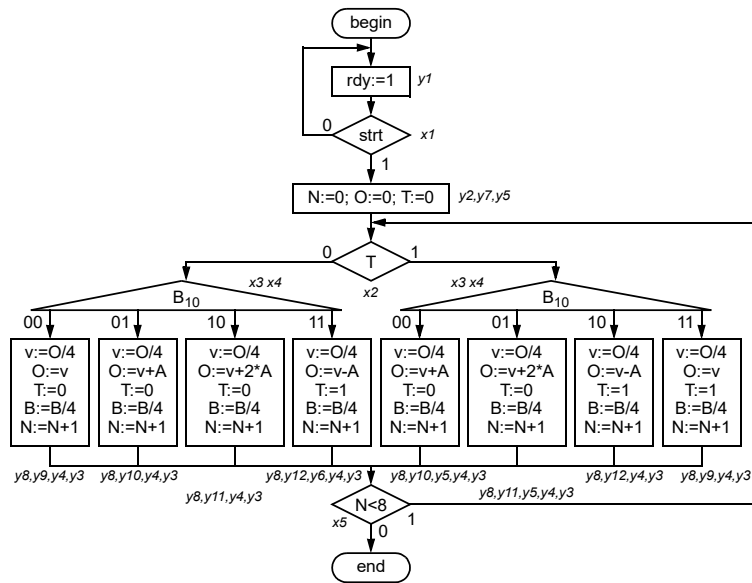
3 takti iteratsiooni kohta, kokku 24 (+1) takti

JA



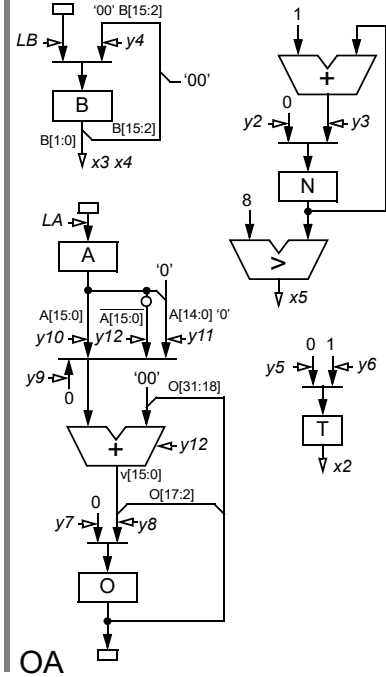
OA

Realisatsiooni näide (ver. 2)



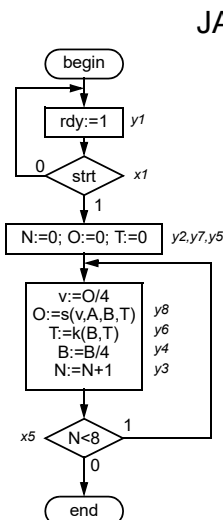
JA Moore: i 5, o 12, s 10, t 82; Mealy: i 5, o 12, s 3, t 17
 OA 2 sum., 1 võrdl., 5 mux, 5 reg.
 1 takt iteratsiooni kohta, kokku 9 (+1) takti

JA



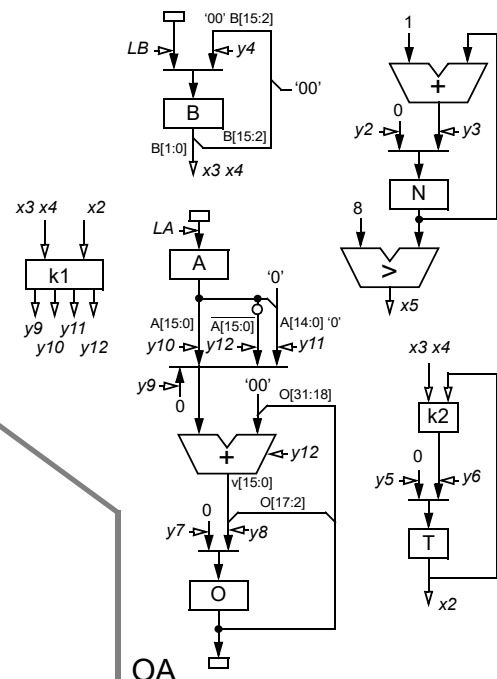
Realisatsiooni näide (ver. 3)

- Keerukus: JA → OA
- siirded ~ kombinatsioonskem



JA Moore: i 2, o 8, s 3, t 5; Mealy: i 2, o 8, s 3, t 5
 OA 2 sum., 1 võrdl., 5 mux, 5 reg., 1 (2) f-n
 1 takt iteratsiooni kohta, kokku 9 (+1) takti

JA



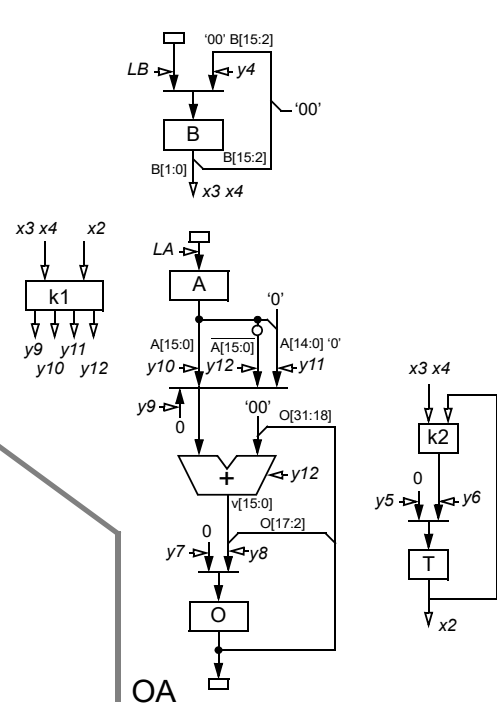
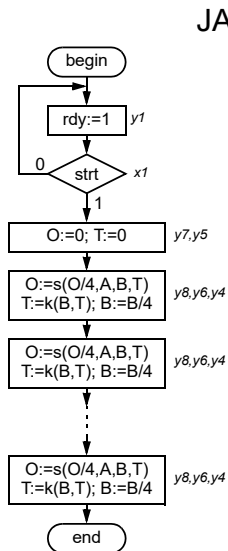
Realisatsiooni näide (ver. 3)

- Keerukus: OA → JA

- loendur ~ automaat

- Veelgi kiirem:

- ühitada nullimine (y7,y5) ja esimene iteratsioon
- OA: peaaegu sama
- JA: 9 olekut
- kiirus: 8 (+1) takti



JA Moore: i 1, o 6, s 10, t 11; Mealy: i 1, o 6, s 10, t 11
 OA 1 sum., 4 mux, 4 reg., 1 (2) f-n
 1 takt iteratsiooni kohta, kokku 9 (+1) takti

Realisatsiooni näide (ver. 4)

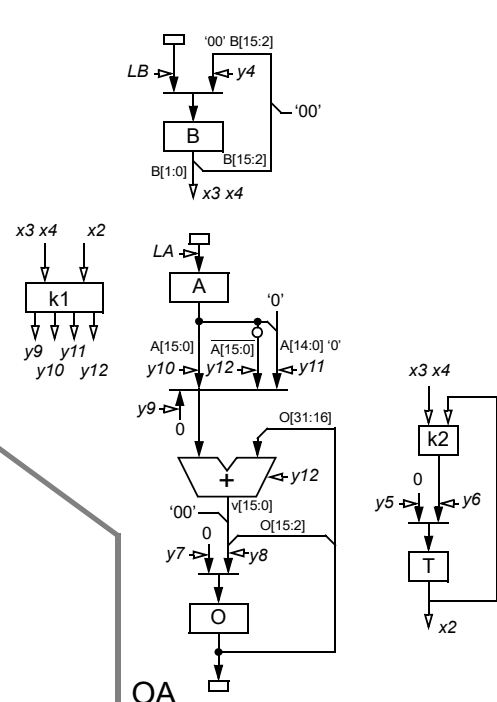
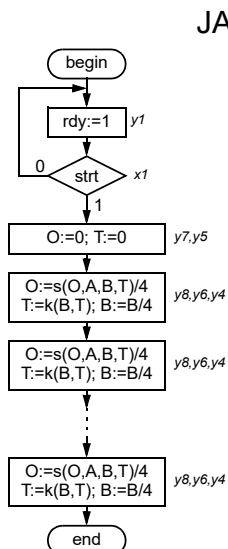
- Eelmised variandid

- 2 noorimat järku kasutamata
- korrektse tulemuse asukoht?

- Nihutamine pärast liitmist/lahutamist

- 2 vanimat järku alati 0-d!!!

- Pisi-erinevused OA-s



JA Moore: i 1, o 6, s 10, t 11; Mealy: i 1, o 6, s 10, t 11
 OA 1 sum., 4 mux, 4 reg., 1 (2) f-n
 1 takt iteratsiooni kohta, kokku 9 (+1) takti

Realisatsioonide võrdlused

- Seitse erinevat korrutaja realisatsiooni
 - paralleelne, bitt korruga, 2 bitti korruga (versioonide 3 ja 4 erinevad VHDL koodid)
 - VHDL koodide erinevused põhjustatud sünteesi juhtimise vajadusest
 - “what you write is what you get...”
 - VHDL failid – <http://mini.pld.ttu.ee/~lrv/IAY0150/multiplier/>

Tüüp	nr.	Synopsys DC		Xilinx ISE	
		comb. & reg. [e.g.]	[ns]	[slices]	[ns]
paralleelne	0	$685 + 112 = 797$	20.0	0 (1/24 mult.)	~10
radix-2 (bhv-rtl)	1	$227 + 508 = 735$	15.5	46 (7680)	6.7
radix-4 (v.4, bhv-rtl)	2	$402 + 511 = 913$	20.0	52 (7680)	7.8
radix-4 (v.4, ~90% rtl)	3	$303 + 511 = 814$	15.9	37 (7680)	7.1
radix-4 (v.4, 100% rtl)	4	$179 + 511 = 690$	19.9	34 (7680)	7.3
radix-4 (v.3, bhv-rtl)	5	$397 + 514 = 911$	20.0	51 (7680)	8.2
radix-4 (v.3, 100% rtl)	7	$182 + 511 = 693$	18.7	36 (7680)	6.4